

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-152397

(43)Date of publication of application : 09.06.1998

(51)Int.Cl.

C30B 29/22
C23C 14/08
C23C 14/35
C23C 14/58
C30B 29/32
H01B 3/00
H01L 21/203
H01L 27/108
H01L 21/8242

(21)Application number : 08-322233

(22)Date of filing : 18.11.1996

(71)Applicant : NIPPON TELEGR & TELEPH CORP <NTT>

(72)Inventor : OFUJI SHINICHI
HENMI MANABU

(54) FORMATION OF PARAELECTRIC THIN MEMBRANE

(57)Abstract:

PROBLEM TO BE SOLVED: To diminish the limitation against high integration by reducing the generation of the history in polarization against electric field characteristics of a thin membrane containing barium and strontium and having a high dielectric constant, and reducing the temperature increase of the semiconductor device by a dielectric loss by accumulating the thin layer having the high dielectric constant by a ECR sputtering method while keeping the temperature of a substrate for forming the thin membrane within a specific region and thereafter heat-treating the substrate at a temperature above the temperature when accumulating.

SOLUTION: A dielectric thin layer containing barium and strontium is accumulated on a substrate regulated to have a temperature of 20-400° C by a sputtering method having an electron cyclotron resonance type plasma source, and thereafter heat-treated at a temperature higher than the accumulating temperature. The linearity of polarization against electric field characteristics is improved by the heat-treatment to show nearly straight line. A dielectric loss caused by the history in polarization against electric field characteristics is almost diminished, and thereby extra energy loss of the semiconductor device is lost. This method is applied not only to an Si wafer substrate but also to a GaAs, a ceramic and a polymer substrates, etc.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-152397

(43) 公開日 平成10年(1998) 6月9日

(51) Int.Cl. ⁶	識別記号	F I	
C 3 0 B 29/22		C 3 0 B 29/22	Z
C 2 3 C 14/08		C 2 3 C 14/08	K
14/35		14/35	Z
14/58		14/58	A
C 3 0 B 29/32		C 3 0 B 29/32	C
審査請求 未請求 請求項の数 1 F D (全 5 頁) 最終頁に続く			

(21) 出願番号 特願平8-322233

(22) 出願日 平成8年(1996)11月18日

(71) 出願人 000004226

日本電信電話株式会社

東京都新宿区西新宿三丁目19番2号

(72) 発明者 大藤 晋一

東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内

(72) 発明者 逸見 学

東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内

(74) 代理人 弁理士 高山 敏夫 (外1名)

(54) 【発明の名称】 常誘電体薄膜の形成方法

(57) 【要約】

【課題】 バリウムまたはストロンチウムを含む高誘電率薄膜の分極対電界特性における履歴の発生を解決すること。

【解決手段】 20℃以上かつ400℃以下の基板温度でバリウムまたはストロンチウムを含む誘電体薄膜を電子サイクロトロン共鳴型プラズマ源を有するスパッタリング法を用いて堆積する工程と、該堆積時の温度を超える温度で熱処理を加える工程とを含む常誘電体薄膜の形成方法。

【特許請求の範囲】

【請求項1】 20℃以上かつ400℃以下の基板温度でバリウムまたはストロンチウムを含む誘電体薄膜を電子サイクロトロン共鳴型プラズマ源を有するスパッタリング法を用いて堆積する工程と、該堆積時の温度を超える温度で熱処理を加える工程とを含むことを特徴とする常誘電体薄膜の形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置などに適用されるバリウムまたはストロンチウムを含む高誘電率薄膜の形成方法に関するものである。

【0002】

【従来の技術】現在ダイナミック・ランダム・アクセス・メモリ(DRAM)のメモリ用電荷蓄積キャパシタには誘電体の SiO_2 と SiN の積層構造膜が用いられているが、今後の1Gbit以上の高集積化に伴い、メモリセルは微細化するもののソフトエラー等を回避して十分な信頼性を確保するために、メモリ用電荷蓄積キャパシタは線幅と比例縮小させずに十分な量に保つ必要がある。このため、誘電体膜の薄層化と共にスタック構造やトレンチ構造によるキャパシタの立体化が図られ、実効的なキャパシタ面積の増大が進められてきた。しかし、もともとこれらの材料の比誘電率は3.9~7.5程度と値が大きくないため、1Gbit以上の集積度のDRAMでは薄層化や大面積化の対策だけでは困難になりつつある。そこで、 SiO_2 、 SiN よりも比誘電率の高い Ta_2O_5 、 BaTiO_3 、と SrTiO_3 の固溶体である $(\text{Ba}, \text{Sr})\text{TiO}_3$ 、さらに $(\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3$ などの高誘電率材料をキャパシタに応用する研究が活発に行われている。

【0003】 $(\text{Ba}, \text{Sr})\text{TiO}_3$ は、 Ta_2O_5 に比べて比誘電率が10倍以上高い薄膜が得られる可能性があり、また、DRAM应用時に誘電損失によるエネルギー・ロスが大きい $(\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3$ などの強誘電体材料に比べて常誘電性が期待できることから有望な材料と見られている。しかし、バルクの物性値からは、 Ba/Sr 組成比が0.7/0.3以下の Ba の少ない組成では室温で常誘電性を示すことが知られているにもかかわらず、公知のように、ケー、アベ及びエス、コマツなどによって(J. Appl. Phys. Vol. 77, No. 12, p. 6461(1995).)、薄膜を形成する基板の材料と結晶構造、誘電膜堆積条件などによっては Ba/Sr 組成比が0.7/0.3以下の組成においても分極対電界特性において強誘電性に相当する履歴特性を室温で生ずることが知られている。

【0004】従来技術について、誘電体の基本特性を調べるためのテスト・サンプルとしてキャパシタを形成して特性を評価した場合について説明する。この工程は、実用のキャパシタを単体で形成する場合または半導体装

置上に形成する場合と要素工程としては変わらない。図2は従来技術によるキャパシタ形成工程の主要部分の一部を示したもので、 Si から成る基板1を用意して、酸素ガス中での熱酸化により SiO_2 からなる非晶質絶縁体層2を形成する(a)。該非晶質絶縁体層2の上面に電子ビーム蒸着法を用いて下部 Ti 層3と下部 Pt 層4を連続して堆積して下部電極5を形成する。この上に電子サイクロトロン共鳴を原理とするプラズマ発生源を用いて、 $(\text{Ba}_{0.7}, \text{Sr}_{0.3})\text{TiO}_3$ の組成を持つ円筒型ターゲットにRF電力を供給して0.08Pa前後の圧力のアルゴンと酸素の混合ガス中でスパッタリングを行って $(\text{Ba}_{0.7}, \text{Sr}_{0.3})\text{TiO}_3$ の組成を持つ厚さ0.2ミクロンの高誘電率薄膜6を形成する(c)。この形成方法を以下ECRスパッタ法と呼ぶ。この高誘電率薄膜形成時の基板1の温度は450℃である。さらに、この上に厚さ0.2ミクロン、直径150ミクロンの Pt からなる上部電極7を金属製シャドーマスクを通して蒸着することにより形成する(d)。このようにしてキャパシタ構造を形成した後に常圧の酸素ガス中で650℃、30分間の熱処理を加えている。

【0005】図3はこの方法で形成した膜を使って製作した金属/高誘電体/金属の三層構造を有する2端子のテスト・サンプルのキャパシタについて、分極対電圧の特性図を示したものである。電圧は0→1.5→0→-1.5→0Vと繰り返し走査している。この走査の往復で特性に差を生じ、履歴特性を示す。高誘電率膜形成時のガス圧を0.12Paに高めるとこの履歴はさらに顕著となる。一般に履歴特性の起源には強誘電性による分極と膜中のトラップを介した電荷の出入りとがあることが知られている。この履歴は、DRAMに応用した場合には、電圧印加の繰り返しにより誘電損失を発生し半導体装置の温度を上昇させる原因となる。従来この余分なエネルギー・ロスにより高集積化が制限されるという問題を有していた。また、この半導体装置の温度上昇は該装置の寿命を縮め、信頼性を下げる問題を有していた。

【0006】

【発明が解決しようとする課題】本発明の目的は、バリウムまたはストロンチウムを含む高誘電率薄膜の分極対電界特性における履歴の発生に起因する問題を解決した薄膜形成方法を提供することにある。

【0007】

【課題を解決するための手段】本発明は薄膜を形成する基板の温度を20℃以上かつ400℃以下の比較的低温に保った状態で高誘電率薄膜をECRスパッタ法で堆積した後、この堆積時の温度を超える高温で熱処理を加えることを特徴とする。従来技術では膜堆積時の温度を450℃より高温にして膜の結晶構造の成長を促していたが、本発明では堆積時の温度を従来よりも低く保ち、その後の熱処理で高誘電率化を促す点が従来とは異なる。

【0008】

【発明の実施の形態】20℃以上かつ400℃以下の基板温度でバリウムまたはストロンチウムを含む誘電体薄膜を電子サイクロトロン共鳴型プラズマ源を有するスパッタリング法を用いて堆積する工程と、該堆積時の温度を超える温度で熱処理を加える工程とを含む常誘電体薄膜の形成方法。20℃以上かつ400℃以下の基板温度で高誘電率膜を堆積した後に膜堆積温度を超える高温で熱処理した場合には、450℃以上に基板温度を保って高誘電率膜を堆積した後に熱処理を加えた場合に比べて

【0009】

【実施例】(Ba_{0.5}, Sr_{0.5})TiO₃の組成を持つ円筒型ターゲットに13.56MHzの周波数のRF電力300Wを供給して0.084Paの圧力のアルゴンと酸素の7対3混合ガス中でスパッタリングを行って(Ba_{0.5}, Sr_{0.5})TiO₃の組成を持つ高誘電率薄膜をいわゆるECRスパッタ法で形成した場合の実施例について説明する。テスト・サンプルは図2に示した従来方法とおおむね同様の工程で製作するが、重要な差異は、本実施例では高誘電率薄膜の堆積中に基板の温度を400℃に維持している点である。キャパシタの下部電極は、表面を熱酸化したSiウエハ基板上に蒸着法で形成した厚さ0.05ミクロンのTi層と厚さ0.1ミクロンのPt層からなり、また上部電極は厚さ0.2ミクロンのPt蒸着膜から成り、直径150ミクロンの円形に形成している。キャパシタ構造を形成した後に常圧の酸素ガス中で650℃、30分間の熱処理を加えている。図1は、分極対電圧特性図を示したもので、従来技術によるサンプルとは異なり直線の関係が得られている。

【0010】試料製作直後に履歴が観測されない場合でも電圧印加で次第に履歴を発生することがしばしば観測される。この原因は主に誘電体膜内のトラップを介して電荷が膜内に入り出すこと、または電圧印加と温度によりポーリング作用が発生して膜に極性が与えられることによる。従来技術で製作した試料では直流電圧印加で

履歴が増大するが本発明によるところの形成方法で製作した試料(図1に示す)では正または負の直流電圧2V、15分間の印加でも分極対電圧特性の直線性は全く変わらない。なお、この実施例では膜堆積時の基板温度を400℃としたが、さらに低温で堆積しても同様の効果が得られるが20℃より低温では膜の付着力が不足して剥離しやすくなり、実質的に本発明の効果は得られない。また、膜堆積後の熱処理は誘電率を実用上有効な値に高めることがねらいであり、用途によりその値が異なるゆえに熱処理温度は膜堆積温度を超えていれば良く、特段それ以上の限定条件は無い。

【0011】

【発明の効果】以上説明したように、本発明による方法で半導体装置に適用するバリウムまたはストロンチウムを含む高誘電率薄膜をECRスパッタ法で形成すれば、高誘電率薄膜の分極対電圧特性における履歴の発生を回避できる。これにより誘電損失による半導体装置の温度上昇を低減でき、エネルギー・ロスによる高集積化が制限されるという問題点を解消できる利点がある。また、半導体装置の温度上昇に起因する寿命の短縮と信頼性の低下を回避できる利点がある。なお、実施例ではSiウエハを基板として用いたが、本発明は基板材料に制限されることはなくGaAs等の化合物半導体やセラミック板、半導体装置実装用の高分子材料基板等にも応用できることは明らかである。

【図面の簡単な説明】

【図1】本発明による方法で製作した高誘電率薄膜のキャパシタ構造を有するテスト・サンプルの分極対電圧特性図である。

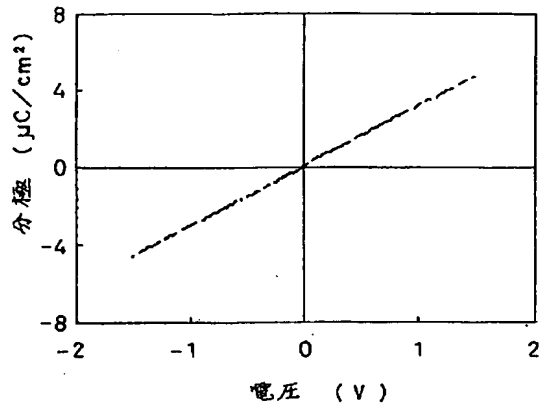
【図2】従来技術によるテスト・サンプルとしてのキャパシタの形成工程の主要部分を示すための断面図である。

【図3】従来技術による方法で製作した高誘電率薄膜のキャパシタ構造を有するテスト・サンプルの分極対電圧特性図である。

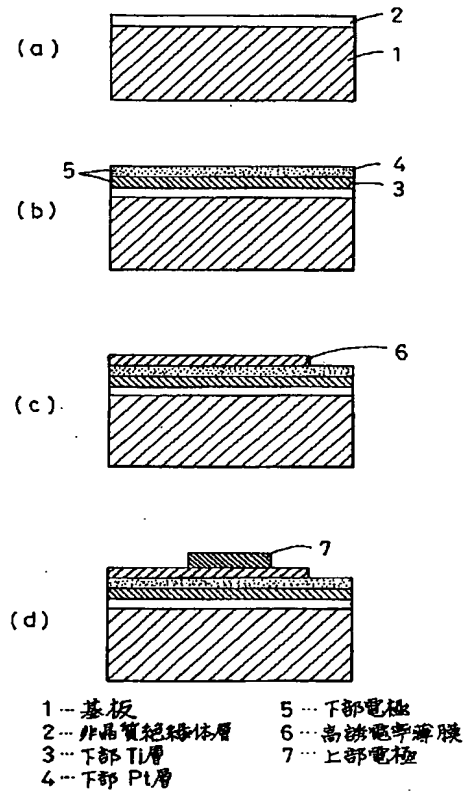
【符号の説明】

- 1 基板
- 2 非晶質絶縁体層
- 3 下部Ti層
- 4 下部Pt層
- 5 下部電極
- 6 高誘電率薄膜
- 7 上部電極

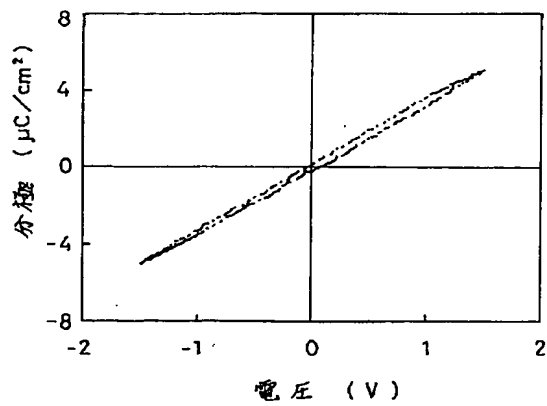
【図1】



【図2】



【図3】



(5)

特開平10-152397

フロントページの続き

(51)Int.Cl.⁶

識別記号

F I

H 0 1 B 3/00

H 0 1 B 3/00

H

H 0 1 L 21/203

H 0 1 L 21/203

S

27/108

27/10

6 5 1

21/8242